

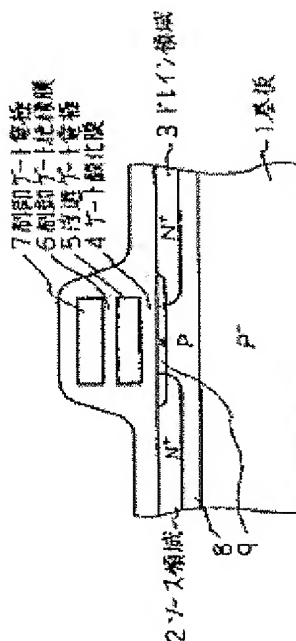
SEMICONDUCTOR NON-VOLATILE MEMORY

Patent number: JP3054869
Publication date: 1991-03-08
Inventor: KOJIMA YOSHIKAZU
Applicant: SEIKO INSTR INC
Classification:
- international: H01L21/8247; H01L21/8234; H01L21/8246; H01L27/06;
H01L27/08; H01L27/112; H01L27/115; H01L29/788;
H01L29/792; H01L21/70; H01L27/06; H01L27/08;
H01L27/112; H01L27/115; H01L29/66; (IPC1-7):
H01L27/115; H01L29/788; H01L29/792
- european:
Application number: JP19890190185 19890721
Priority number(s): JP19890190185 19890721

Report a data error here

Abstract of JP3054869

PURPOSE:To assure low voltage and high speed operations by lowering the concentration of a channel region surface by doping a P or N type impurity into a channel region controlled by a floating gate electrode.
CONSTITUTION:First and second impurity regions 8, 9 are formed by doping a P or N type impurity into a channel region being the surface of a substrate 1 located between a source region 2 and a drain region 3. When boron is employed as the impurity into the region 8 and arsenic as that into the region 9, the thinner concentration N type impurity region 9 can be formed on the inside of the denser P type impurity region 8 because the diffusion coefficient of the arsenic is smaller than that of the boron. Accordingly, threshold voltage after irradiation with ultraviolet ray can be lowered to assure high speed and low voltage operations.



Family list**8** family members for: **JP3054869**

Derived from 5 applications

- 1 Semi-conductor non-volatile memory.**
Inventor: KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC (JP)
EC: H01L29/788B6B **IPC:** H01L29/788; H01L29/66; (IPC1-7): G11C17/00 (+1)
Publication info: EP0369676 A2 - 1990-05-23
EP0369676 A3 - 1990-12-05
EP0369676 B1 - 1995-11-08
- 2 SEMICONDUCTOR NONVOLATILE MEMORY**
Inventor: KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC
EC: **IPC:** H01L21/8247; H01L29/788; H01L29/792 (+4)
Publication info: JP2135782 A - 1990-05-24
- 3 SEMICONDUCTOR NON-VOLATILE MEMORY**
Inventor: KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC
EC: **IPC:** H01L21/8247; H01L21/8234; H01L21/8246 (+15)
Publication info: JP2844475B2 B2 - 1999-01-06
JP3054869 A - 1991-03-08
- 4 ULTRAVIOLET RAY ERASABLE SEMICONDUCTOR NONVOLATILE MEMORY**
Inventor: KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC
EC: **IPC:** H01L21/8247; H01L29/788; H01L29/792 (+4)
Publication info: JP3052269 A - 1991-03-06
- 5 Floating gate semiconductor nonvolatile memory having impurity doped regions for low voltage operation**
Inventor: KOJIMA YOSHIKAZU (JP) **Applicant:** SEIKO INSTR INC (JP)
EC: H01L29/788B6B **IPC:** H01L29/788; H01L29/66; (IPC1-7): G11C16/04 (+1)
Publication info: US5262987 A - 1993-11-16

Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-54869

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月8日

H 01 L 29/788
27/115
29/792

7514-5F H 01 L 29/78 3 7 1
8831-5F 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体不揮発性メモリ

⑯ 特 願 平1-190185

⑰ 出 願 平1(1989)7月21日

⑱ 発 明 者 小 島 芳 和 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体不揮発性メモリ

2. 特許請求の範囲

第1導電型の第1の半導体領域と、前記第1の半導体領域の表面部分に設けられた前記第1の半導体領域より高い濃度の前記第1導電型の第2の半導体領域と、前記第2の半導体領域の表面部分に間隔を置いて設けられた前記第1導電型と逆導電型のソース領域及びドレイン領域と、前記第2の半導体領域の内側に設けられた前記第1導電型と逆導電型不純物を含む第3の半導体領域と、前記第3の半導体領域上に第1の絶縁膜を介して設けられた浮遊ゲート電極と、前記浮遊ゲート電極上に第2の絶縁膜を介して設けられた制御ゲート電極とから成る半導体不揮発性メモリ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、コンピュータなどの電子機器に用いられている半導体不揮発性メモリに関する。

(発明の概要)

この発明は、紫外線消去の浮遊ゲート型半導体不揮発性メモリにおいて浮遊ゲート電極により制御されるチャネル領域に、P型及びN型の不純物をドーピングすることにより、低電圧動作及び高速動作を可能にしたものである。

(従来の技術)

従来、第2図に示すように、P型半導体基板1の表面にN⁺型のソース領域2及びドレイン領域3を設け、ソース領域2とドレイン領域3との間の半導体基板表面であるチャネル領域上に絶縁膜で覆われた浮遊ゲート電極5が形成されている紫外線消去型の半導体不揮発性メモリが知られている。例えば、K.Wada et al "Limiting Factors for Programming EPROM of Reduced Dimensions" in [EDM Dig.Tech. Papers, pp38~41(1980)]に開示されている。

(発明が解決しようとする課題)

しかし、従来の半導体不揮発性メモリは、プログラム時間を短縮及びそれぞれのメモリセル間の分離のために、第2図に示したように基板1の表面に基板より高い濃度の不純物領域8を形成してあるために、紫外線消去後の閾値電圧が約1.5Vと高く、従って、低電圧領域での動作が困難であるという欠点があった。

そこで、この発明は従来のこのような欠点を解決するため、プログラム特性及び分離状態を維持したままで、低電圧動作及び高速動作をする半導体不揮発性メモリを得ることを特徴としている。
〔課題を解決するための手段〕

上記課題を解決するために、この発明は、プログラム特性及びセル間の分離特性を得るための高い濃度の不純物領域の内側に、それと逆導電型不純物を含んだ薄い濃度の不純物領域を設けることにより、紫外線消去後の閾値電圧を約0.7Vと低くすることにより、低電圧動作及び高速動作を実現した。

〔実施例〕

制御ゲート電極7に一定電圧を印加した状態での、ソース領域2とドレイン領域3との間の半導体基板1の表面であるチャネル領域のインピーダンスを検出することにより、情報を読み出すことができる。即ち、浮遊ゲート電極5に多数の電子が注入されている場合は、インピーダンスは高く、逆に紫外線消去後のように、浮遊ゲート電極5に電子が注入されていない場合は、インピーダンスは低くなる。従って、浮遊ゲート電極5の中に電子が注入されているかいないかにより、インピーダンスが変化することから、情報を読み出すことができる。この情報は、浮遊ゲート電極5中の電子量に対応することから、通常動作、あるいは保管状態では揮発することはない。情報を消える場合は、紫外線を照射することにより、浮遊ゲート電極5の中の電子を基板へ放出し（紫外線消去）、その後、プログラムしたい情報に対応して、各電極に電圧を印加することにより、電子を浮遊ゲート電極5に注入（プログラム）することにより行う。この電子を浮遊ゲート電極5に注入、即ち、

以下に、この発明の実施例を図面に基づいて説明する。N型の紫外線消去型半導体不揮発性メモリの場合について説明する。第1図は、本発明の第1実施例の断面図である。P型シリコン基板1の表面に、基板1より高い濃度の不純物領域8を形成する。さらに、不純物領域8の内側に、濃度の薄いN型不純物を領域9にドーピングする。不純物領域8及び9の表面にゲート酸化膜4を介して浮遊ゲート電極5を設け、さらに浮遊ゲート電極5の上に制御ゲート絶縁膜6を介して制御ゲート電極7が形成されている。また、浮遊ゲート電極5の下の基板表面には、間隔を置いて、N⁺型のソース領域2及びドレイン領域3が設けられている。ここで、制御ゲート電極7は、制御ゲート絶縁膜6を介して、浮遊ゲート電極5と強く容量結合しており、制御ゲート電極7へ電圧を印加することにより、間接的に浮遊ゲート電極5の電位を制御することができる。

まず、第1図のような浮遊ゲート型半導体不揮発性メモリの読み出し方法について説明する。制

プログラムする方法について詳しく説明する。

ソース領域2を基板1と同電位にして、ドレイン領域3に4〜10Vの電圧を印加し、制御ゲート電極7に7〜14Vの高電圧を印加すると、チャネル電流がソース・ドレイン領域間に流れ、その一部は、ホットエレクトロンとなり、浮遊ゲート電極5に注入される。注入したくないメモリセルは、ドレイン領域3あるいは制御ゲート電極7のいずれか一方を基板と同電位にすれば注入されない。基板1の表面にP型の薄い不純物領域8を設けることにより、ホットエレクトロンは発生しやすくなり、プログラム特性を向上することができる。

第3図は、本発明の半導体不揮発性メモリのチャネル幅方向の断面図である。メモリセルをアレイ状に配置した場合、各メモリセル間の分離が必要になる。即ち、第3図に示したように、例えば、メモリセルAのドレイン領域3AとメモリセルBのドレイン領域3Bとをフィールド酸化膜10を介した分離領域20により、電気的に分離する必要がある。浮遊ゲート電極5に電子を注入する場合、

制御ゲート電極7及びドレイン領域3に高電圧を印加するが、その高電圧印加に耐える分離が必要となる。例えば、制御ゲート電極7に約12.5Vの電圧を印加して電子注入を行う場合には、この12.5Vに耐える分離領域20を形成しなければならない。本発明においては、第3図のように、基板1と同じP型の高濃度領域8を活性領域(分離領域以外の領域を言う)に対して自己整合的に形成し、分離領域20を高濃度領域8を十分オーバーラップさせるように形成することにより、分離領域20の閾値電圧は高くして、分離特性を確保している。プログラムに約12.5Vを使用する場合には、高濃度領域8へのイオン注入量として $2 \times 10^{14} \text{ atoms/cm}^2$ 以上のドーピングが必要である。このドーピング量を増加することにより、分離特性を良くすることができる。

本発明の半導体不揮発性メモリは、さらに、低電圧動作を可能にするために、この不純物領域8の濃度を下げる方法ではなく、N型のドーパントを不純物領域8の内側に設けている。この領域9

により、チャネル領域の表面の濃度は低くなり、紫外線照射後の閾値電圧は、約0.7V程度にすることができる。このN型ドーパントの導入は、P型の高い不純物領域8と同一工程で導入できる。即ち、フォトリソ工程の増加なしに、活性領域にN型とP型ドーパントのダブルイオン注入により形成できる。但し、N型ドーパントは、領域9を領域8の内側に形成できるように、P型ドーパントに比べ拡散定数の小さい元素を用いる必要がある。例えば、N型ドーパントとして砒素を、P型ドーパントとしてボロンを用いれば、第1図のように、高いP型不純物領域8の内側に、薄い濃度の不純物領域9を設けることができる。

以上のように、閾値電圧を下げるために領域9を形成しても、第3図に示したような、各メモリセル間の分離は充分である。即ち、P型高濃度不純物領域8とフィールド酸化膜10とのオーバーラップ量は充分であるためである。

具体的には、分離のためにイオン注入量として $2 \times 10^{14} \text{ atoms/cm}^2$ 以上のボロンにより領域8を形

成し、そのボロン注入量より少ない砒素のイオン注入により、領域9を形成して分離特性及びプログラム特性の良い低電圧領域で動作するメモリを実現できる。ボロンと砒素のイオン注入は、同一フォトリソ工程で、連続したイオン注入により形成できるので、フォトリソ工程増加によるコストアップはない。また、実効的には、N型及びP型のドーパントが分離領域に対して自己整合的に形成されていることも、分離特性を良くしている理由である。

第4図は、本発明の半導体不揮発性メモリの第2の実施例の断面図である。本発明の半導体不揮発性メモリは、シリコン基板上に限定されたことは言うまでもなく、基板内に設けられた半導体領域上にも形成できる。また、薄膜半導体表面にも形成できる。第4図は、P型シリコン基板1の表面に第1のゲート絶縁膜4を介して浮遊ゲート電極5を設け、浮遊ゲート電極5の上の層間絶縁膜6及び第2のゲート絶縁膜14を介して制御ゲート電極7が形成されており、浮遊ゲート電極5及び制御ゲート電極7に対して自己整合的に基板1の表

面にN⁺型のソース領域2及びドレイン領域3が形成されている。またソース領域2とドレイン領域3との間の基板1の表面であるチャネル領域には、半導体基板1より濃度の高いP型の第1の不純物領域8が形成され、さらにP型の第1の不純物領域8の表面にN型の不純物を多く含む第2の不純物領域9が形成されている。一般に、第1の不純物領域9の表面濃度の方が第2の不純物領域10の表面濃度より濃く形成されているので、第2の不純物領域9は、電気的にはP型になっている。この第1および第2の不純物領域もイオン注入によってドーピングできる。第5図にその濃度分布を示す。即ち、第4図のA-A'線に沿った基板1の表面からの不純物分布を示している。第1の不純物領域8の不純物としてボロン、第2の不純物領域9の不純物として砒素を用いた場合の図である。ボロン及び砒素を同一工程で導入しても、砒素の拡散係数の方がボロンの拡散係数より小さいので、第5図のように砒素の分布がボロンの領域の内側に入る。従って、チャネル領域の表面の

電氣的P型不純物濃度は、N型の元素の分布によって低い値となる。第1の不純物領域8は、第1の実施例と同様に本発明の半導体不揮発性メモリのプログラム特性を満足するため及びこの不純物領域8により、メモリセル間のフィールドの閾値電圧を高くすることにより、複数のメモリセルを電氣的に分離するためである。第1の不純物領域8は基板1の表面に 10^{11} atoms/cm²前後のP型不純物を入れることにより、プログラム時にホットエレクトロンを発生しやすくしている。第2の不純物領域9はメモリの閾値電圧を下げるための領域である。制御ゲート電極7は、浮遊ゲート電極5と強い容量結合をしている。従って、制御ゲート電極7に電圧を印加することにより、間接的に浮遊ゲート電極5の電位を変化させることができる。

まず、第4図の半導体不揮発性メモリの読み出し方法について説明する。

メモリセルを複数個集積したメモリアレイにおいて、情報を読み出すセル、即ち、選択メモリセルにおいて、制御ゲート電極7に電源電圧、ある

いは電源電圧に近いレベルの電圧を印加した状態で、ソース領域2とドレイン領域3との間のチャネル領域のコンダクタンスの大きさにより、情報を読み出すことができる。即ち、紫外線消去後と同じ状態であれば、チャネルコンダクタンスは大きく、逆にプログラムされて浮遊ゲート電極5に多数の電子が注入されている場合には、チャネルコンダクタンスは小さい。チャネルコンダクタンスは、第2のゲート絶縁膜14を介して制御ゲート電極7により制御される第1のチャネル領域と、第1のゲート絶縁膜4を介して浮遊ゲート電極5の電位によって制御される第2のチャネル領域の直列接続された値になる。浮遊ゲート電極5に注入されている電子の量によって、第2のチャネル領域のコンダクタンスが変化することから、制御ゲート電極7に一定電圧印加された状態なので、ソース領域2とドレイン領域3との間のチャネルコンダクタンスが変化し、その変化量で情報を読み出すことができる。

本発明の第2の実施例の第4図の半導体不揮発

性メモリにおいては、チャネル領域が制御ゲート電極7の電圧によって直接制御される第1のチャネル領域と、浮遊ゲート電極5の電位によって制御される第2のチャネル領域との直列によって形成されている。従って、紫外線消去後の第2のチャネル領域の閾値電圧を充分低く設定しても、第1のチャネル領域の閾値電圧をエソハンスレベルに設定しておけば、非選択メモリセルのリーク電流は充分低くできる。また、読み出し時にドレイン領域3に電圧が印加されることにより、浮遊ゲート電極5の電位が高くなり、第2のチャネル領域のチャネルコンダクタンスが大きくなっても、第1のチャネル領域のチャネルコンダクタンスを小さく設定することにより、非選択メモリセルのオフリーク電流を防ぐことができる。さらに、本発明の第2の実施例のメモリにおいては、ドレイン領域3を接地し、ソース領域2に負荷を介して電源電圧を印加することにより、チャネルコンダクタンスの大きさを読み出せば、より機能性の高いメモリを実現できる。即ち、浮遊ゲート電極5

は、ソース領域2と構造的に接続していないために、読み出し時の誤書き込み(ソフトライト)が起きない。従って、チャネル長を従来メモリセルよりも短くでき、また、読み出し時にソース領域2へ電源電圧に近い高い電圧を印加することができる。このため、メモリの紫外線消去後のチャネルコンダクタンスを大きくすることができ、高速読み出しを実現できる。

次に、本発明の第2の実施例のメモリのプログラム方法について説明する。浮遊ゲート電極5に電子を注入するメモリの場合、ソース領域2及び基板1に対して約4〜7V高い電圧をドレイン領域3に印加する。また、制御ゲート電極7には、約12V程度の高電圧を印加する。このドレイン領域3及び制御ゲート電極7への電圧印加により、チャネル領域に約1mA程度の大きなチャネル電流が流れ、ドレイン領域3近傍で、ホットエレクトロンが発生し、その一部が浮遊ゲート電極5へ注入される。非選択メモリセルは、制御ゲート電極7へ電圧を印加しないために書き込みは行われ

ない。また、選択メモリセルにおいても、浮遊ゲート電極5に電子を注入しないメモリセルにおいては、制御ゲート電極7に高電圧が印加されていても、ドレイン領域3の電圧を接地状態にすることにより書き込みは行われない。即ち、ドレイン領域3及び制御ゲート電極7に共に電圧が印加された場合にのみ、浮遊ゲート電極5に電子が注入される。第4図のメモリにおいては、ソフトライツが起きにくい構造であるために、チャネル長を短くできる。従って、書き込み動作においても、非常に短い時間で書き込みを行うことができる。また、書き込み非選択のメモリセルにおいては、ドレイン領域3に高電圧が印加されても、制御ゲート電極7が接地されているために、第1のチャネル領域のコンダクタンスは充分小さく、従って、非選択メモリセルのオフリークを防ぐことができる。

また、チャネル領域の表面に閾値電圧を下げるために、砒素による第2の不純物領域9を形成しているが、この不純物領域9によってプログラム

効率が悪くなることはない。書き込み時に形成されたドレイン領域3近傍のホットエレクトロン発生のための表面ポテンシャルは、砒素のドーピングによってほとんど影響されない。砒素による第2の不純物領域9は拡散係数が小さいために第5図のように極めて表面に形成されているからである。

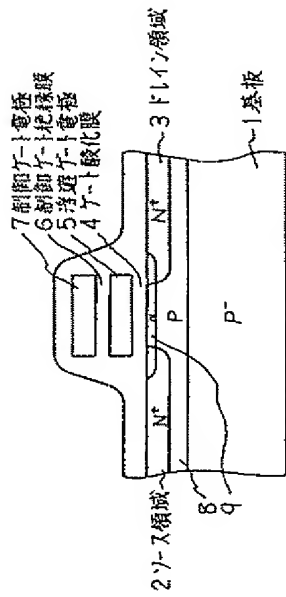
チャネル領域の閾値電圧を下げるため、第2の不純物領域9を形成する代わりに、第1の不純物領域8の濃度を低くした場合は、ホットエレクトロン発生のための表面ポテンシャルの形がなだらかになってしまうために、プログラム効率は悪くなってしまふ。第2の不純物領域9の形成により、メモリのプログラム効率を維持して、メモリの閾値電圧を下げるができる。

次に、第4図のメモリの消去方法について説明する。消去は、メモリに紫外線を照射することにより行われる。浮遊ゲート電極5に注入されている電子は、紫外線によって励起されて、基板1に戻ることににより消去される。第6図は紫外線消去

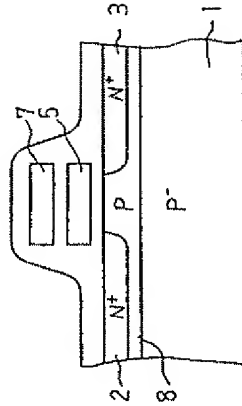
後のメモリの閾値電圧の砒素(A_s)の注入量依存性を示した図である。第6図のように砒素の注入によって、 5×10^{11} の注入量の境界にして大きく閾値が減少する領域Aと、小さく閾値が減少する領域Bとに分けられる。第2の実施例のメモリの閾値電圧は、第1のチャネル領域と第2のチャネル領域とのいずれか大きい閾値になる。砒素による第2の不純物領域9が形成されていない場合、即ち、イオン注入量がゼロの場合の紫外線消去後の閾値電圧は、高い方の閾値電圧である第2のチャネル領域の閾値電圧に等しい。第2の不純物領域9への砒素の注入量の増加にともない、第1のチャネル領域と第2のチャネル領域の閾値電圧の大きさが逆になる。即ち、砒素の注入量の増加により、領域Aから領域Bに移行する。領域Aは、第2のチャネル領域の閾値電圧に対応し、領域Bは第1のチャネル領域の閾値電圧に対応する。領域Bでは、第1のチャネル領域の閾値電圧の砒素の注入量依存性を小さくする方法は、第2のゲート絶縁膜14の単位面積当たりの容量を第1のゲ

ート絶縁膜4の単位面積当たりの容量に比べ大きくすることによって行うことができる。ゲート絶縁膜の単位面積当たりの容量を大きくすることにより、砒素注入量の閾値電圧への寄与率を減少することができる。メモリの閾値電圧を下げるために、第2の不純物領域9を形成せずに、第1の不純物領域8の濃度を下げる方法では、常に第2のチャネル領域の閾値電圧の方が第1のチャネル領域の閾値電圧よりも高く形成される。第2のチャネル領域の閾値電圧は、制御ゲート電極7と浮遊ゲート電極5との容量結合が100%ではなく、一般に70%程度の容量結合であるために高くなってしまふ。しかし、本発明の第2実施例のメモリでは、第2の不純物領域9の形成により、第1のチャネル領域の閾値電圧を第2のチャネル領域の閾値電圧より高くできる。第1のチャネル領域の閾値電圧を第2のチャネル領域の閾値電圧よりも高くする方法として、不純物濃度を変えることによって行うことができる。

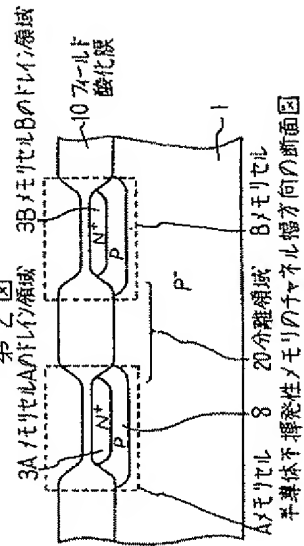
第7図は、本発明第3の実施例の半導体不揮発



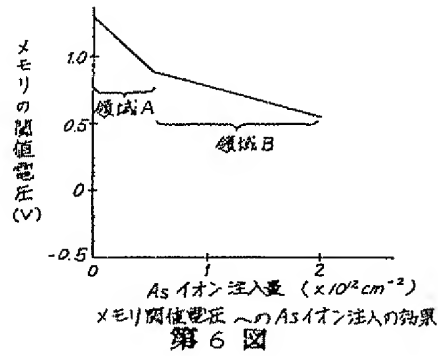
第1図
半導体不揮発性メモリの断面図



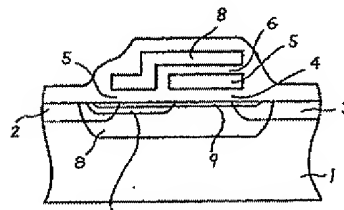
第2図
従来の半導体不揮発性メモリの断面図



第3図
半導体不揮発性メモリのチャネル幅方向の断面図



第6図



第7図
半導体不揮発性メモリの断面図